

03500.017938



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
	:	Examiner: Unassigned
SOMEI KAWASAKI, ET AL.)	
	:	Group Art Unit: Unassigned
Application No.: 10/790,738)	
	:	
Filed: March 3, 2004)	
	:	
For: DRIVE CIRCUIT, DISPLAY)	April 15, 2004
APPARATUS USING DRIVE	:	
CIRCUIT, AND EVALUATION)	
METHOD OF DRIVE CIRCUIT	:	

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

In support of Applicants' claim for priority under 35 U.S.C. §119, enclosed are copies of the following foreign applications:

2003-061288, filed March 7, 2003; and

2003-405642, filed December 4, 2003.

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our below-listed address.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Scott D. Malpede".

Attorney for Applicants
Scott D. Malpede
Registration No. 32,533

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

SDM/vmm
DC_MAIN 163410v1

Applo. No.: 10/798,738
Filed: 3/3/04
Inventors: Somer/Kawasaki, et al.
Art Unit: Unassigned

CF017938

US/sug

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月 7日
Date of Application:

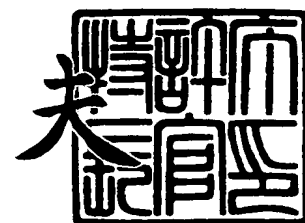
出願番号 特願2003-061288
Application Number:
[ST. 10/C]: [JP2003-061288]

出願人 キヤノン株式会社
Applicant(s):

2004年 3月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3023110

【書類名】 特許願

【整理番号】 253489

【提出日】 平成15年 3月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20 610

【発明の名称】 E L パネル

【請求項の数】 1

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社
社内

 【氏名】 川崎 素明

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社
社内

 【氏名】 川野 藤雄

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社
社内

 【氏名】 井関 正己

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100096828

 【弁理士】

 【氏名又は名称】 渡辺 敬介

 【電話番号】 03-3501-2138

【選任した代理人】

【識別番号】 100110870

【弁理士】

【氏名又は名称】 山口 芳広

【電話番号】 03-3501-2138

【手数料の表示】

【予納台帳番号】 004938

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0101029

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ELパネル

【特許請求の範囲】

【請求項1】 電流信号に対応して発光するEL素子を含む画素部が行列状に複数配置された画像表示部と、

単一または複数の電圧信号から単一の電流信号に変換する電圧電流変換回路が前記画素部の列数に相当して配置され、該当列の画素部に前記電流信号を供給する列制御部とを少なくとも含むELパネルにおいて、

電圧電流変換回路と該当列の画素部とを接続する列情報線からなる列情報線群に流れる電流の総和電流を外部に出力するための総和電流出力部と、該総和電流出力部の前記画像表示部側の列情報線に流れる電流を遮断するための遮断部とからなる総和電流検出部を備えたことを特徴とするELパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を注入して発光するエレクトロルミネッセンス素子（以後EL素子と言う）を画像表示に使用したELパネルに関するものであり、さらに詳しくは、駆動回路の試験を容易に行うための技術に関する。

【0002】

【従来の技術】

EL素子はパネル型画像表示システム（以後ELパネルと言う）に应用されている。ELパネルにおいて各画素の発光制御方法として電流設定方式が一般的である。

【0003】

従来の電流設定方式によるカラーELパネルの構成を示す概略図を図6に示す。3原色の画素表示を受け持つ各色のEL素子を含んだ画素部8を、列数N個及び行数M個だけ2次元に配置して画像表示部9が構成されている。3原色の情報からなる画像信号VIDEOはN個の列制御回路からなる列制御部5に入力される。各々の列制御回路は各々の3原色情報に対応するように構成されている。

【0004】

列走査クロック K C が入力されるコラムシフトレジスタ 4 から、列走査開始信号 S P C によって、列走査クロック K C の 1 周期または半周期毎に遷移して発生する映像サンプリング信号群 S P が各々の対応する列制御回路に入力される。

【0005】

各列制御回路では所定期間の映像信号 V I D E O がサンプリングされ、列情報線群 d a t a に対応した電流信号が出力され、対応列の画素部 8 に入力される。

【0006】

列制御信号 S C はロジック回路 6 に入力され、列制御線群 7 を介して列制御信号が列制御部 5 に入力される。

【0007】

また、行走査クロック K R が入力されるコラムシフトレジスタ 4 からは、列走査開始信号 S P R によって、列走査クロック K R の 1 周期または半周期毎に遷移して発生する各々の行制御信号が行制御線群 1 1 を介して対応行の画素部 8 に入力される。

【0008】

列制御部 5 は点順次電圧画像入力信号を行単位の線順次電流画像信号に変換するものであり、アナログ方式とデジタル方式で構成可能である。

【0009】

図 1 1 に回路構成が簡単なアナログ方式の列制御回路の構成の一例を示す回路図を示す。図 1 1 の構成は 3 原色用として 3 個で 1 組になる。該当色の電圧画像信号 V I D E O はサンプルホールド回路 S H に入力され、またコラムシフトレジスタ 4 にはロジック回路 6 より制御信号が接続されており、各々奇数及び偶数行期間で発生する該当列のサンプリングパルス S P a 及び S P b がサンプルホールド回路 S H に入力される。更に、行制御線群 1 1 である行制御信号 C C 3 及び C C 6 もサンプルホールド回路 S H に接続されている。S H の出力電圧信号 v (d a t a) は、電圧電流変換回路 g m に入力され、電流信号 d a t a を出力する。電圧電流変換回路 g m には列制御線群 7 であるバイアス信号 V B 及び列制御信号 C C 7 が接続されている。

【0010】

図11の動作を図12のタイムチャートを使用して説明する。電圧画像信号 VIDEO は基準信号 REF と相関性をもって入力される。

【0011】

行周期である期間 T1 において列制御信号 CC3 が L レベルとなる（列制御信号 CC6 は H レベルになる）とともに、サンプリングパルス SPa が出力され（SPb は出力されない）、該当列の SPa の発生期間 t1 において電圧画像信号 VIDEO は図示されるように基準信号 REF との差電圧 d1 でサンプルホールド回路 SH 内にサンプリングホールドされる。

【0012】

行周期である期間 T2 においては、列制御信号 CC3 が H レベルとなる（列制御信号 CC6 は L レベルになる）ため電圧信号 v (data) に期間 T1 でサンプルホールドされた VIDEO 信号が出力されるとともに、サンプリングパルス SPb が出力され（SPa は出力されない）、該当列の SPb の発生期間 t2 において電圧画像信号 VIDEO は図示されるように基準信号 REF との差電圧 d2 でサンプルホールド回路 SH 内にサンプリングホールドされる。

【0013】

行周期である期間 T3 においては、列制御信号 CC3 が再び L レベルとなり（列制御信号 CC6 は H レベルになる）電圧信号 v (data) に期間 T2 でサンプルホールドされた VIDEO 信号が出力される。

<電圧電流変換回路の説明>

電圧電流変換回路 gm は基準信号 REF に対する差電圧～d1, d2, d3～に相関性をもって電流信号 data を出力するものである。期間 T1 での保持差電圧 d1 は期間 T2 において電流 I (m) に変換され、期間 T2 での保持差電圧 d2 は期間 T3 において電流 I (m+1) に変換され、期間 T1 ではその前期間での保持差電圧が電流 I (m-1) に変換され、これらはそれぞれの期間で出力される。

【0014】

図10は電圧電流変換回路 gm の構成例である。M6 は、電源起動時及び待機

時等の画素部 8 に電流を供給停止しなければならないときのみ OFF するものであり、通常、動作時には列制御信号 CC7 によって ON 状態である。一般的な回路構成であるので詳しい動作説明は省く。尚、M2 と M3、M4 と M5 及び Mr と M1 は特性上において相関性を持たせておく。また、変換特性は M1 / D 電流及び M2、M3 の駆動係数 β で設定できる。

【0015】

以上説明した列制御回路はアナログ方式であるが、デジタル方式の場合は、基準信号 REF は不要で、電圧画像信号は複数本のデータ信号となりサンプリングホールド回路 SH は各データ信号を保持するマスタスレーブ型のフリップフロップ群となり複数の電圧出力データ $v(data)$ を出力する。電圧電流変換回路 gm においては gm 特性を決める各データに相当した重み電流による電流出力型 DA 変換回路になる。

【0016】

<画素部の説明>

図 8 は電流プログラミング型の画素部 8 の回路構成の一例を示す回路図である。図 8 の構成は、画素部 8 において 3 個搭載され、それぞれにおいて各色の EL 素子を駆動するものである。

【0017】

該当列の列情報線 data は M4 / S に接続され、M4 / G には該当行の行信号線 RC1 が接続され、M4 / D は M2 / D と M3 / D に接続される。M2 / S は電源 VCC に接続され、M2 / G は一端が電源 VCC に接続された容量 C1 と M1 / G 及び M3 / S に接続され、M3 / G は該当行の行信号線 RC2 に接続される。M1 / S は電源 VCC に接続され、M1 / D は EL 素子の電流注入端子に入力され他端は接地 GND に接続される。

【0018】

次に動作について図 9 のタイムチャートを使用して説明する。該当列情報線 data に該当列の電流画像信号が行周期毎に更新され供給されている。

【0019】

時刻 t_0 で該当行の行制御信号 RC1 が H レベルになるとともに行制御信号 R

C2がLレベルになると、その時点の電流画像信号I(m)によりM2の電流駆動能力に応じたM2/G電圧が発生し、容量C1が充電される。M2とM1のサイズを相対的に設定しておくでM1/Dには電流画像信号I(m)に比例した電流が出力される。時刻t1において行制御信号RC2はHレベルに変化し、M3はOFFし、M2/G電圧は保持され、時刻t2において行制御信号RC1がHレベルに変化して該当画素部8は電流画像信号から切り離され、次にM4がONするまで設定された電流画像信号I(m)に比例した電流を該当EL素子に継続して供給する。

【0020】

図7は電流プログラミング型の画素部8の回路構成の他の一例を示す回路図である。図7の構成は、画素部8において図8と同様に3個搭載され、それぞれにおいて各色のEL素子を駆動するものである。

【0021】

該当列の列情報線dataはM3/Sに接続され、M3/Gには該当行の行信号線RC1が接続され、M3/DはM2/DとM4/Sに接続され、M4/Gにも行信号線RC1が接続される。M1/Sは電源VCCに接続され、M1/Gは一端が電源VCCに接続された容量C1とM2/Sに接続され、M2/Gは該当行の行信号線RC2に接続される。M4/DはEL素子の電流注入端子に入力され他端は接地GNDに接続される。

【0022】

次に動作について図9のタイムチャートを使用して説明する。該当列情報線dataに該当列の電流画像信号が行周期毎に更新され供給されている。

【0023】

時刻t0で該当行の行制御信号RC1がHレベルになるとともに行制御信号RC2がLレベルになると、その時点の電流画像信号I(m)によりM1の電流駆動能力に応じたM1/G電圧が発生し、容量C1が充電されるが、このときM4はOFF状態にありEL素子には電流は注入されない。時刻t1において行制御信号RC2はHレベルに変化し、M2はOFFし、M1/G電圧は保持され、時刻t2において行制御信号RC1がLレベルに変化してM4はONし、M1の保

持電流がEL素子に注入されるとともに、該当画素部8は電流画像信号から切り離され、次にM3がONするまで設定された電流画像信号I(m)に比例した電流を該当EL素子に継続して供給する。

【0024】

【発明が解決しようとする課題】

しかしながら、図6で示すELパネルは以下に示す課題をもっている。

【0025】

〔課題1〕

説明したELパネル用回路は薄膜トランジスタ(TFT)で構成される。TFTはトランジスタ特性の相関性を確保することが難しい。したがって図10で示すアナログ方式の列制御信号発生に重要な電圧電流変換回路gmの変換特性を各列で整えることは難しく、列毎の電流信号のばらつきにより再生画像上に＜縦筋＞を生じさせて画質を崩す要因となる。デジタル方式の電流出力型DA変換回路においても、各々に内蔵される重み電流源の相対精度を確保することが難しく、これもやはり列毎の電流信号のばらつきとなり、再生画像上に＜縦筋＞を生じさせて画質を崩す要因となる。

【0026】

〔課題2〕

ELパネルは一般にTFT回路を形成した後にEL素子を形成する。そのため、多数の画素部を有しているTFT回路の欠陥を、EL素子を形成する前に発見することはELパネルのコストダウンにおいて重要である。しかし、図6の構成のELパネルでは非接触かつ迅速に画素部のTFT回路動作の事前検査を行うことができない。

【0027】

本発明は上記課題に鑑みなされたものであり、列制御部の電圧電流変換特性を任意の列領域で検出でき、更には画素部の電極に対して非接触で各行の画素部の任意の列領域における動作特性を確認することができるELパネルを提供することを目的とする。

【0028】

【課題を解決するための手段】**〔解決手段 1〕**

電流信号に対応して発光する E L 素子を含む画素部が行列状に複数配置された画像表示部と、

単一または複数の電圧信号から単一の電流信号に変換する電圧電流変換回路が前記画素部の列数に相当して配置され、該当列の画素部に前記電流信号を供給する列制御部とを少なくとも含む E L パネルにおいて、

電圧電流変換回路と該当列の画素部とを接続する列情報線からなる列情報線群に流れる電流の総和電流を外部に出力するための総和電流出力部と、該総和電流出力部の前記画像表示部側の列情報線に流れる電流を遮断するための遮断部とからなる総和電流検出部を備えたことを特徴とする E L パネル。

【0029】**〔解決手段 2〕**

前記総和電流出力部は、各列情報線と総和電流出力線とを接続し、開閉制御が自在な出力スイッチ群からなることを特徴とする解決手段 1 に記載の E L パネル。

【0030】**〔解決手段 3〕**

前記遮断部は、前記総和電流出力部と前記画像表示部との間の各列情報線に接続された開閉制御が自在な遮断スイッチ群からなることを特徴とする解決手段 1 又は 2 に記載の E L パネル。

【0031】**〔解決手段 4〕**

電流信号に対応して発光する E L 素子を含む画素部が行列状に複数配置された画像表示部と、

単一または複数の電圧信号から単一の電流信号に変換する電圧電流変換回路が前記画素部の列数に相当して配置され、該当列の画素部に前記電流信号を供給する列制御部とを少なくとも含む E L パネルにおいて、

前記列制御部から画素部への電流信号の入力を遮断し、前記列制御部からの電

流信号群の総和電流を外部に出力することができることを特徴とする E L パネル。

【0032】

〔解決手段 5〕

電流信号に対応して発光する E L 素子を含む画素部が行列状に複数配置された画像表示部と、

単一または複数の電圧信号から単一の電流信号に変換する電圧電流変換回路が前記画素部の列数に相当して配置され、該当列の画素部に前記電流信号を供給する列制御部とを少なくとも含む E L パネルにおいて、

前記列制御部の各列の電流信号を各列の画素部に供給し、選択された行の画素部において E L 素子の駆動設定電流を発生させて該駆動設定電流値を記憶させてから前記列制御部の出力を遮断し、駆動設定電流群の総和電流を外部に出力することができることを特徴とする E L パネル。

【0033】

【発明の実施の形態】

以下、本発明の E L パネルの実施形態について図面を用いて説明するが、本発明はこれらの形態に限定されるものではない。また、本発明の E L パネルにおいては、以下で特に説明する構成や動作以外については上記従来の技術において説明した構成、動作と同様である。

【0034】

尚、本明細書中においては説明の便宜上、トランジスタのゲート電極、ソース電極、ドレイン電極をそれぞれ / G、/ S、/ D の略号にて示す。また、信号とそれを供給する信号線とを特に区別せずに表現することもある。

【0035】

〔実施形態 1〕

図 1 は本発明の E L パネルを示す概略図である。図 6 の従来の E L パネルとの主たる差異は、列制御部 5 と画像表示部 9 との間に、総和電流検出部 1 が追加されている点である。

【0036】

テスト信号 T E S T はロジック回路 2、6 に入力され、ロジック回路 2 からは総和電流検出制御信号 3 が総和電流検出部 1 に入力される。また総和電流検出部 1 からは総和電流出力線 I o u t を通して総和電流が出力される。

【0037】

図 2 は総和電流検出部 1 の回路構成例である。本形態の総和電流検出部は、総和電流出力部 1 a と、遮断部 1 b とからなっていて、総和電流出力部 1 a は、各列情報線 (d a t a (n a) ~ d a t a (n c)) と総和電流出力線 I o u t とを接続し、開閉制御が自在な出力スイッチ群 (M 1 n ~ M 3 n) からなり、遮断部 1 b は、総和電流出力部 1 a と画像表示部 9 との間の各列情報線に接続された、開閉制御が自在な遮断スイッチ群 (M 4 n ~ M 6 n) からなっている (n は R G B 組の番号) 。

【0038】

接続形態について更に詳細に説明すると、電圧電流変換回路と該当列の画素部とを接続する列情報線は、M 1 n / S ~ M 6 n / S と接続され、M 1 n / D、M 2 n / D、M 3 n / D は互いに全て接続され総和電流出力線 I o u t から総和電流を出力できるようになっている。一方、M 4 n / D、M 5 n / D、M 6 n / D は該当列の列情報線 d a t a (n a)、d a t a (n b)、d a t a (n c) に接続されている。M 1 n / G、M 2 n / G、M 3 n / G (M 4 n / G、M 5 n / G、M 6 n / G) は互いに全て接続されて、ロジック回路 2 の出力である検出制御信号 C C x (C C y) (総和電流検出制御信号 3) が接続される。

【0039】

尚、全てのトランジスタはスイッチ動作をするものであり、適切に制御すれば N 型及び P 型の限定や構成を限定するものではない。

【0040】

また画素部 8 は図 7 または図 8 のいずれの形態であっても良い。

【0041】

図 1 の E L パネルにおける列制御部 5 の出力電流の検出動作について、図 3 のタイムチャートを使用して説明する。尚、図 11 の列制御回路は、列制御信号 C C 7 によって電流出力状態にあるとする。

【0042】

列制御回路の出力電流を検出する場合には、M1n、M2n、M3nを全てONし、M4n、M5n、M6nは全てOFFしておく。即ち、総和電流検出部1においては、検出制御信号CCxによってM1n、M2n、M3nを全てONし、検出制御信号CCyによってM4n、M5n、M6nを全てOFFしておくことで、列制御部5から出力される列制御電流を全て総和電流として総和電流出力線Ioutに出力することができる。

【0043】

この状態においても、図3に示すように、SPa、SPb、CC3、CC6は通常動作時の図12に示すタイミングと同じであるが、画像信号VIDEOは、各々の行周期において異なる領域Z(n-1)~Z(n+6)の時のみ信号が発生しており、該各々の領域以外では列制御回路の出力電流が小さくなるようなレベルにしておく。列制御回路がデジタル方式の場合は前記各々の領域以外では全ての画像データVIDEOを(0)にしておけばよい。

【0044】

これにより、行期間T1において領域Z(n)に対応する列制御回路からの出力電流が主成分である総和電流ΣI(n)が行期間T2において総和電流出力線Ioutから出力される。他の期間においても対応する領域の列制御回路の出力電流を主成分とする総和電流がIoutから出力される。

【0045】

前記領域群を有効画像期間を含んで設定しておくこと、全ての列制御回路群の出力電流を確認できることになる。また、夫々の領域Z(n)を1列(単色)に対応するようにすれば、全ての列制御回路の出力電流を個別に検出することができる。更には、TFTバラツキ特性に則して適当な複数列に対応するように各領域を設定したとすれば、全列制御回路の出力電流の検出時間を短縮できるばかりでなく、視覚上注目しなければならないTFTバラツキを抽出することもできる。また、各々の領域は重なり合っているとしても良く、順番を限定するものでもない。

【0046】

以上説明したように、列制御回路群の出力電流を任意の領域で検出でき、この

検出結果を元に画像信号（画像データ）VIDEOを修正して入力すると、TFT特性バラツキを打ち消すことが動作起動時の短期間に容易にできることとなる。

【0047】

〔実施形態2〕

本形態においても、使用するELパネルは実施形態1において示したのと同じものである。

【0048】

本形態は、画素部8に含まれるEL素子を駆動するための駆動電流を設定する駆動設定電流を検出するものであり、その動作について図4のタイムチャートを使用して説明する。

【0049】

尚、本形態においては、図2の総和電流検出部におけるM4n、M5n、M6nの全てのトランジスタ（遮断部1b）は、検出制御信号CCyによってONとしておく。即ち、遮断部1bは開放状態としておく。また、所定期間において画像信号VIDEOの発生領域Z（n）は一定にしておく。

【0050】

期間T1においてサンプリングパルスSPaが発生し、画素信号VIDEOが、対応する列制御部5で電流変換される。期間T2において、CC7=HかつCCx=Lレベルに変化し、通常動作時と同様にm行制御信号RC1（m）及びRC2（m）によって選択されたm行の該当画素部8においてEL素子の駆動設定電流を発生させて該駆動設定電流値を記憶させる。期間T3において、CC7=LかつCCx=Hレベルに変化し、列制御部5は各列情報線dataに電流信号を出力しないとともに、更に行制御信号RC2（m）がHレベルに変化する為、m行の各画素部8に保持された駆動設定電流Idは各列情報線dataに供給され、総和電流出力線Ioutにはm行の駆動設定電流の総和電流Id（m）が出力される。

【0051】

同様に期間T3でサンプリングパルスSPbによって変換された電流信号は、

期間 T_5 において $(m+1)$ 行の各画素部 8 の EL 駆動電流の総和電流 ΣI_d ($m+1$) が総和電流出力線 I_{out} に出力される。

【0052】

このようにして、本形態によれば、列制御部の各列の電流信号を各列の画素部に供給し、選択された行の画素部において EL 素子の駆動設定電流を発生させて駆動設定電流値を記憶させてから列制御部の出力を遮断し、駆動設定電流群の総和電流を総和電流出力部から外部に出力し、画素部の電極に対して非接触で各行の画素部の任意の列領域における動作特性を確認することができる。この際には、図 4 の様に領域 $Z(n)$ を固定しておくことで、対応する列領域の画素部 8 の駆動電流を順次検出できる。

【0053】

〔実施形態 3〕

本形態においても、使用する EL パネルは実施形態 1 において示したものと同一のものであり、画素部 8 に含まれる EL 素子を駆動するための駆動電流を設定する駆動設定電流を検出する点で実施形態 2 と同じものである。

【0054】

実施形態 2 との違いは、各サンプリングパルス発生期間において、領域 $Z(n)$ 同士、 $Z(n+1)$ 同士、 $Z(n+2)$ 同士、 $Z(n+3)$ 同士等は同じ領域に設定され、これらのグループ毎に領域が異なって設定されているところであり、検出された各行総和駆動電流 $\sim \Sigma I_d(m-1) \sim \Sigma I_d(m+2) \sim$ により、設定された列領域における EL 駆動電流を確認できる点である。

【0055】

実施形態 2 や 3 のように、検出領域 Z を目的に応じて設定することにより、多数の画素部 8 を含む EL パネルにおいて効率よく TFT 回路動作を検査することもできる。

【0056】

【発明の効果】

以上説明した様に本発明の EL パネルによれば、非常に簡単な構成の総和電流検出部を追加するだけで、列制御部の電圧電流変換特性を任意の列領域で検出で

き、これを使って列制御の特性バラツキを補正できるばかりでなく、画素部の電極に対して非接触でかつ各行の画素部の任意の列領域における動作特性を確認することもできる。

【図面の簡単な説明】

【図 1】

本発明の E L パネルを示す概略図である。

【図 2】

本発明の E L パネルが備える総和電流検出部の一実施形態を示す回路図である。

【図 3】

実施形態 1 を説明するためのタイムチャートである。

【図 4】

実施形態 2 を説明するためのタイムチャートである。

【図 5】

実施形態 3 を説明するためのタイムチャートである。

【図 6】

従来の E L パネルの構成を示す概略図である。

【図 7】

画素部の回路構成の一例を示す回路図である。

【図 8】

画素部の回路構成の一例を示す回路図である。

【図 9】

図 7 又は図 8 の回路構成を有する画素部の動作を説明するタイムチャートである。

【図 10】

電圧電流変換回路の構成の一例を示す回路図である。

【図 11】

列制御回路の構成の一例を示す回路図である。

【図 12】

図 1 1 の回路構成を有する列制御回路の動作を説明するタイムチャートである

。

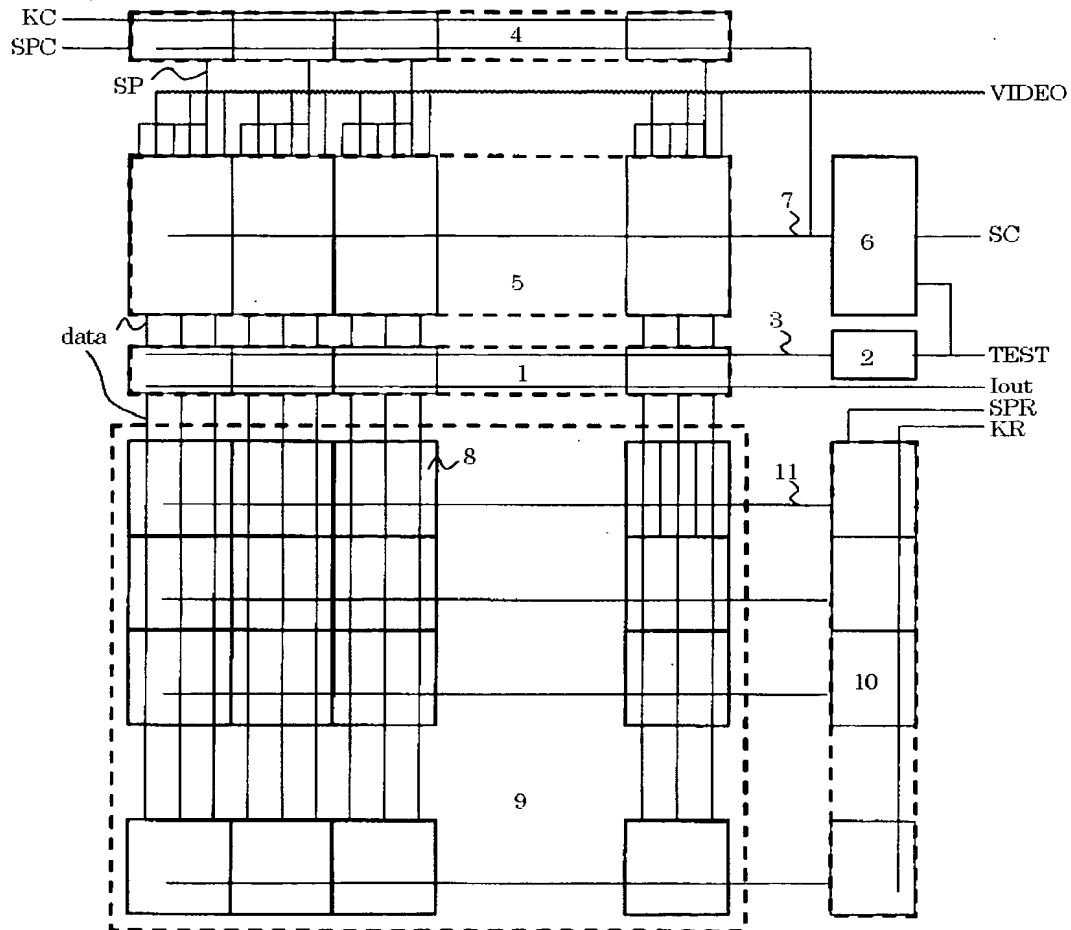
【符号の簡単な説明】

- 1 総和電流検出部
- 1 a 総和電流出力部
- 1 b 遮断部
- 2 ロジック回路
- 3 検出制御線
- 4 コラムシフトレジスタ
- 5 列制御部
- 6 ロジック回路
- 7 列制御線
- 8 画素部
- 9 画像表示部
- 1 0 ローシフトレジスタ
- 1 1 行制御信号線

【書類名】

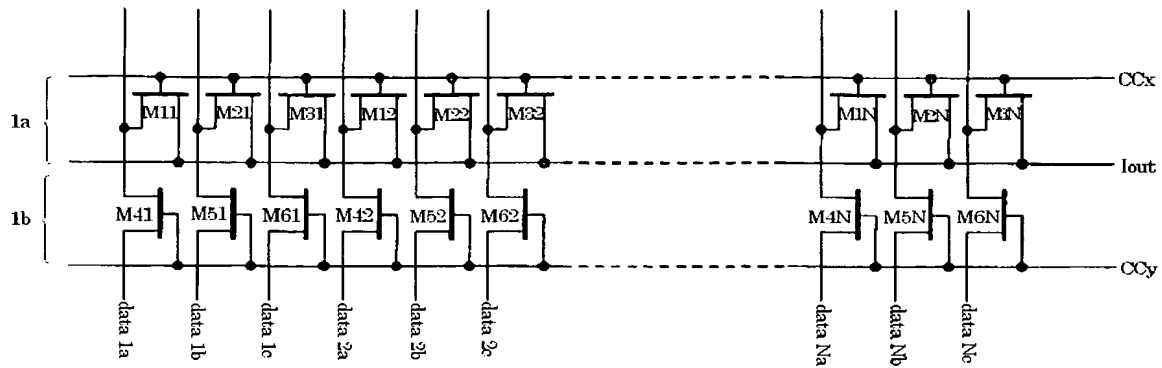
図面

【図 1】

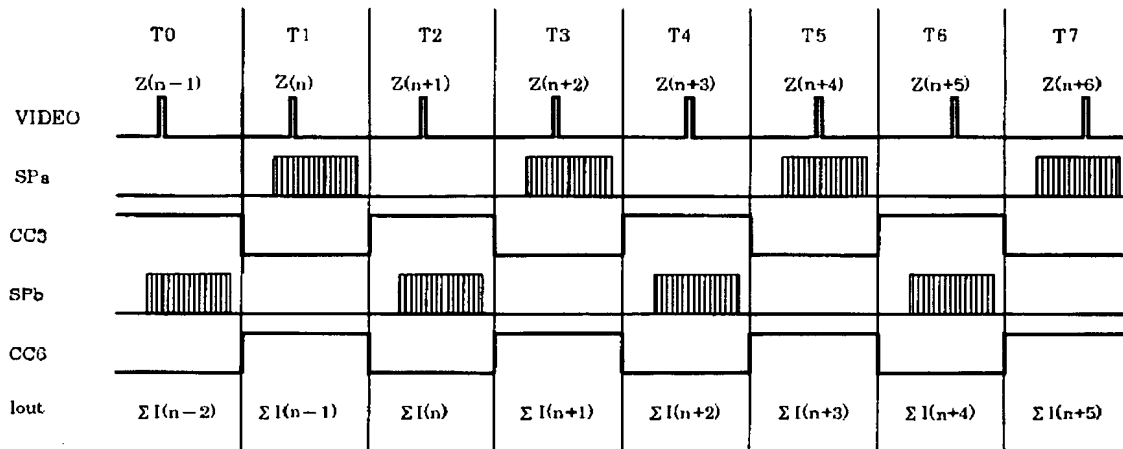


- 1: 総和電流検出部
- 2: ロジック回路
- 4: コラムシフトレジスタ
- 5: 列制御部
- 6: ロジック回路
- 8: 画素部
- 9: 画像表示部
- 10: ローシフトレジスタ

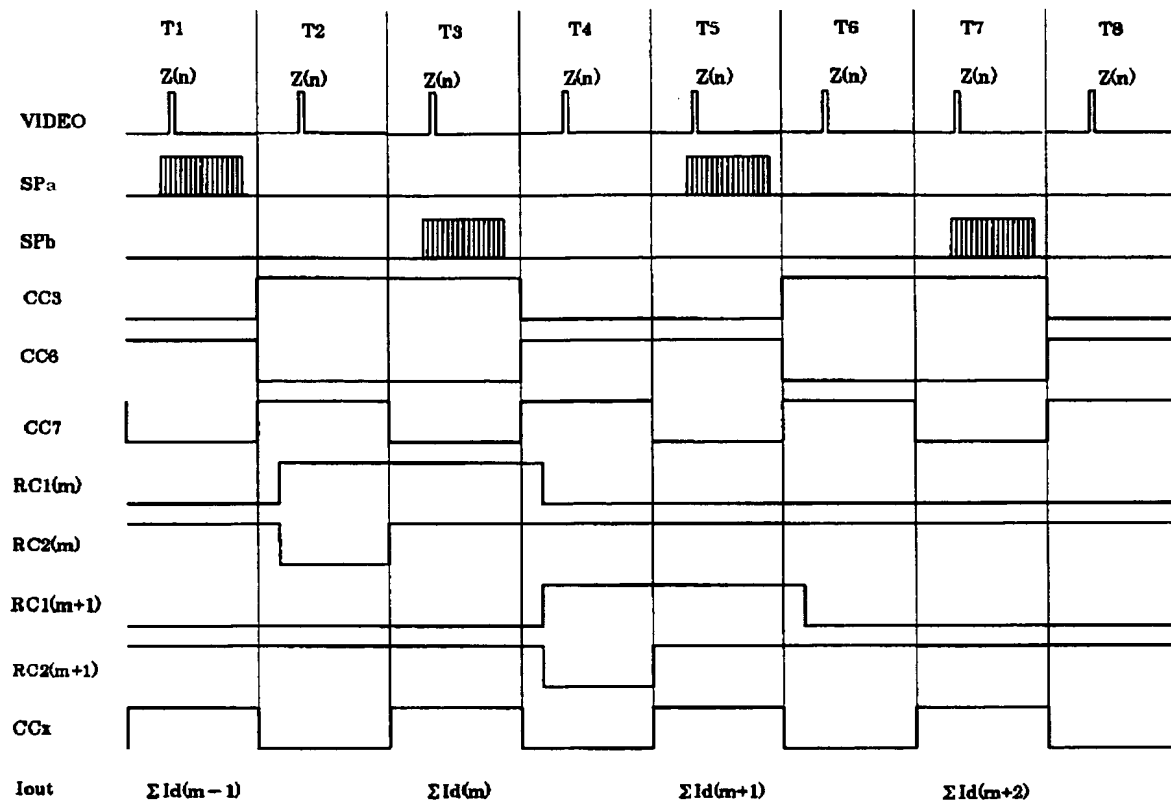
【図 2】



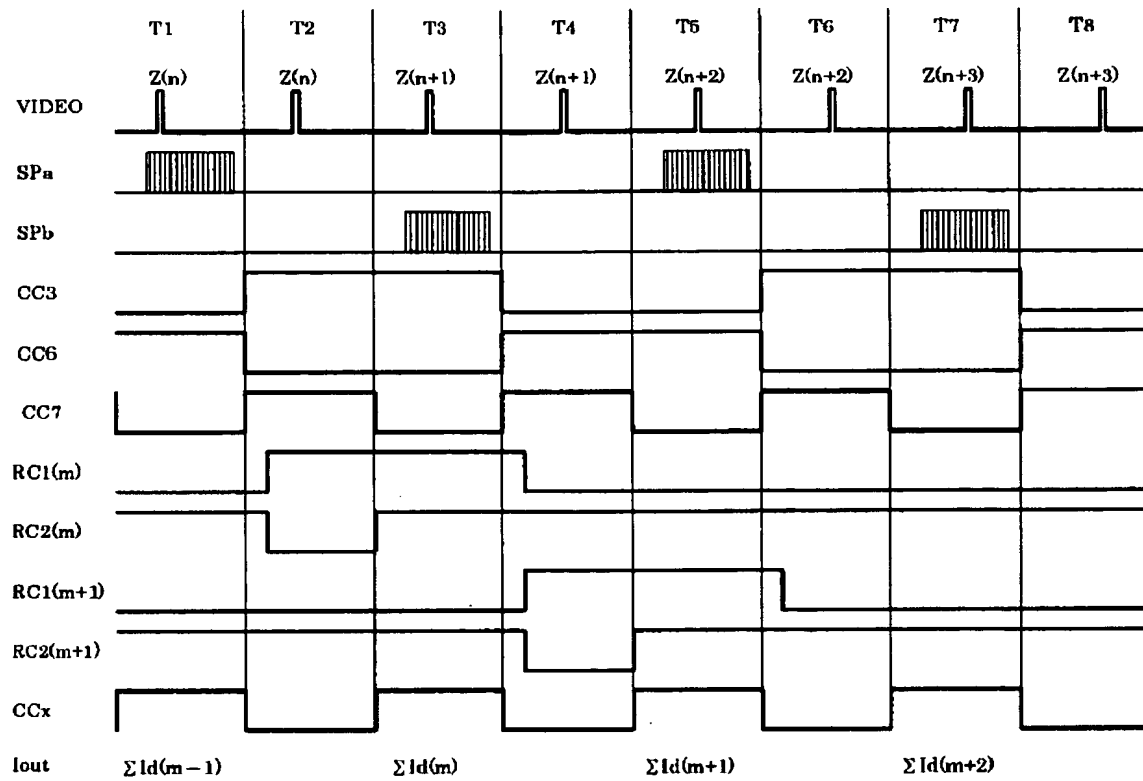
【図 3】



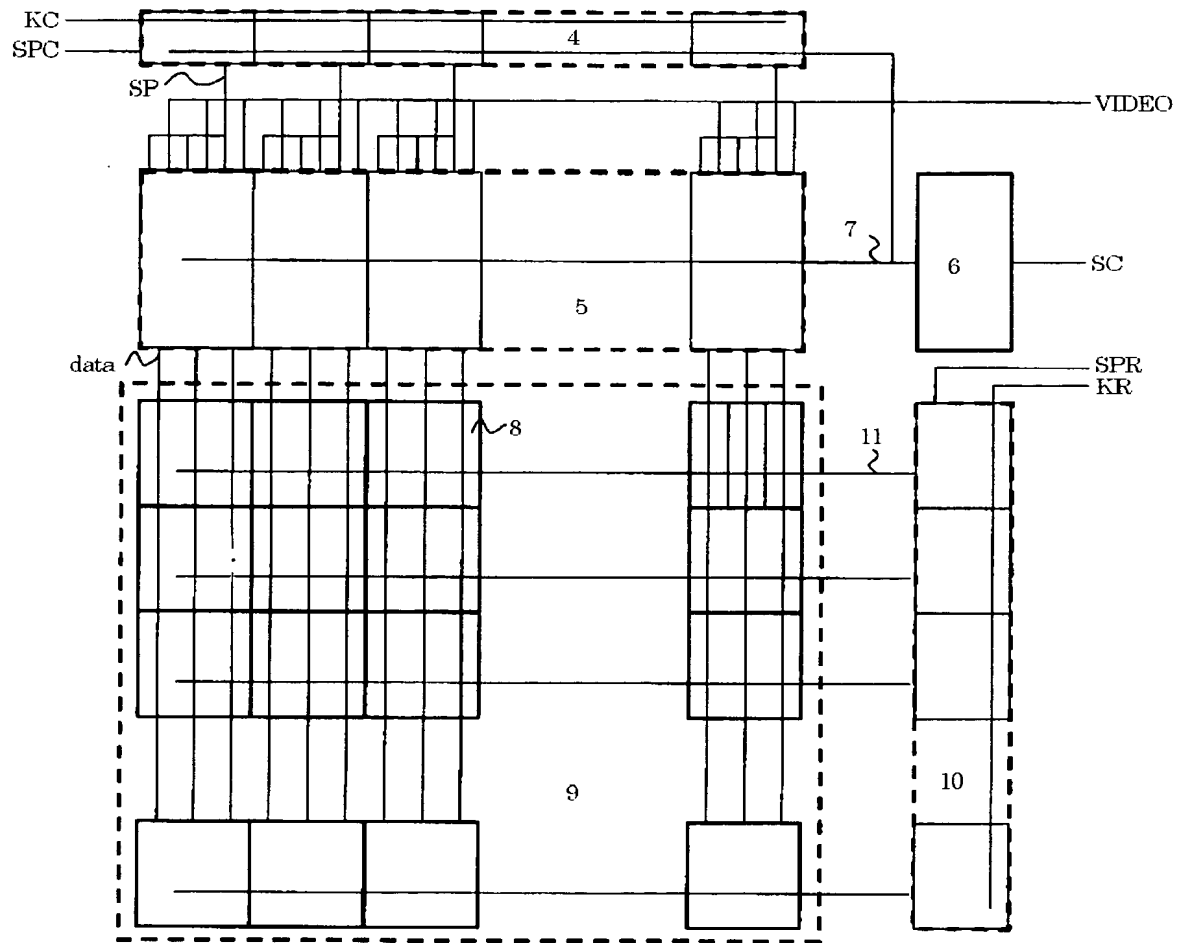
【図 4】



【図 5】

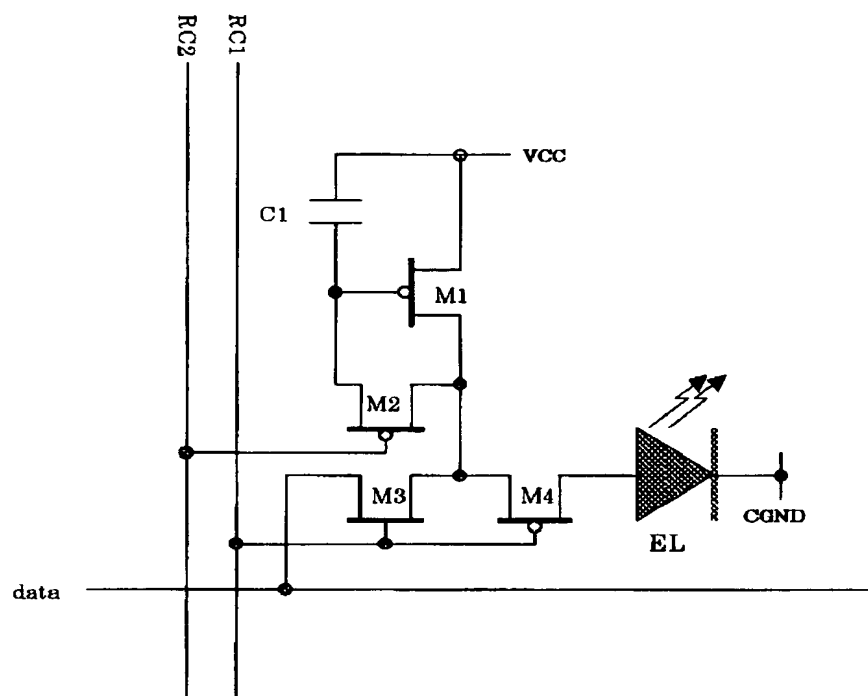


【図 6】

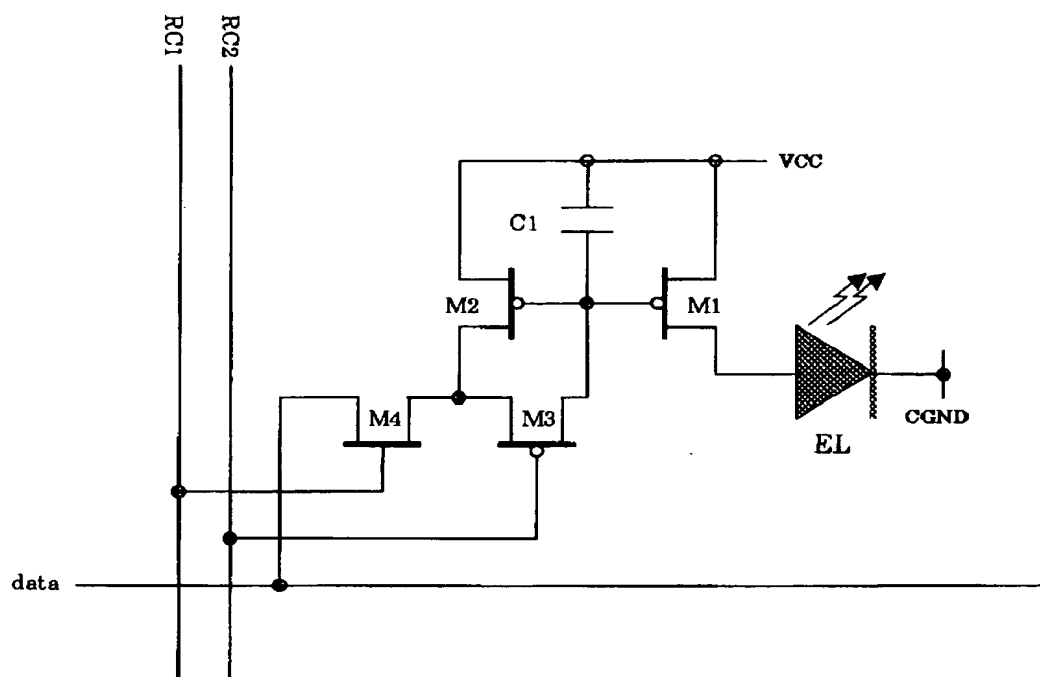


- 4: コラムシフトレジスタ
- 5: 列制御部
- 6: ロジック回路
- 8: 画素部
- 9: 画像表示部
- 10: ローシフトレジスタ

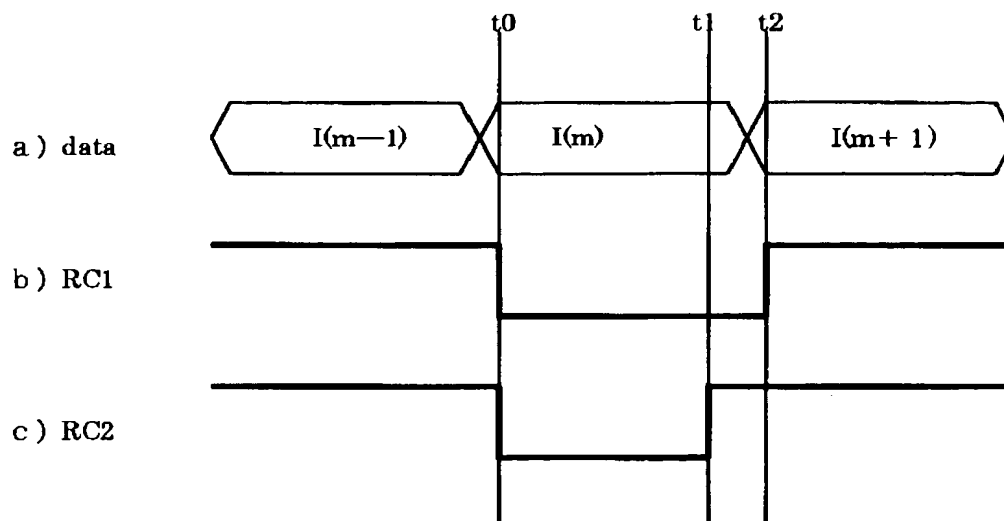
【図 7】



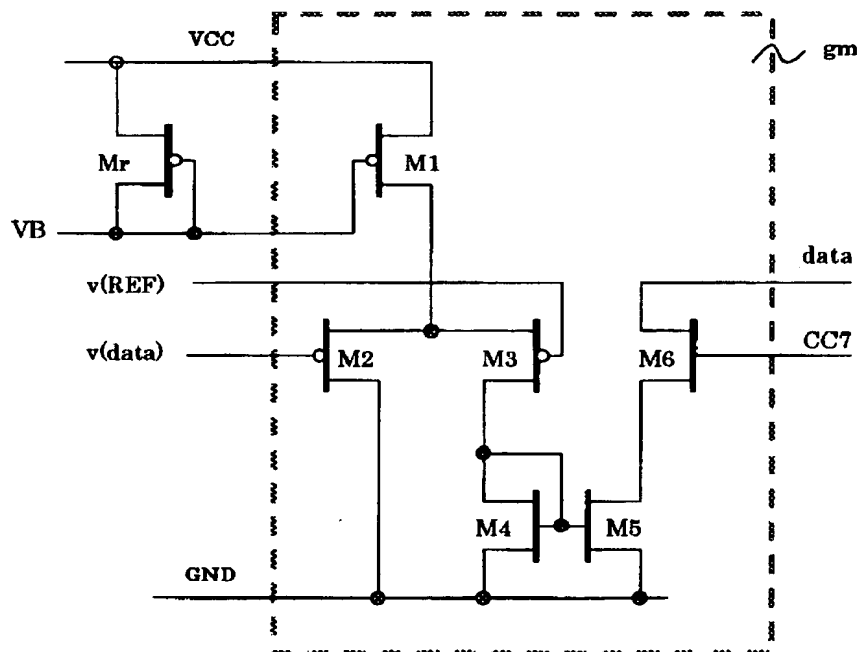
【図 8】



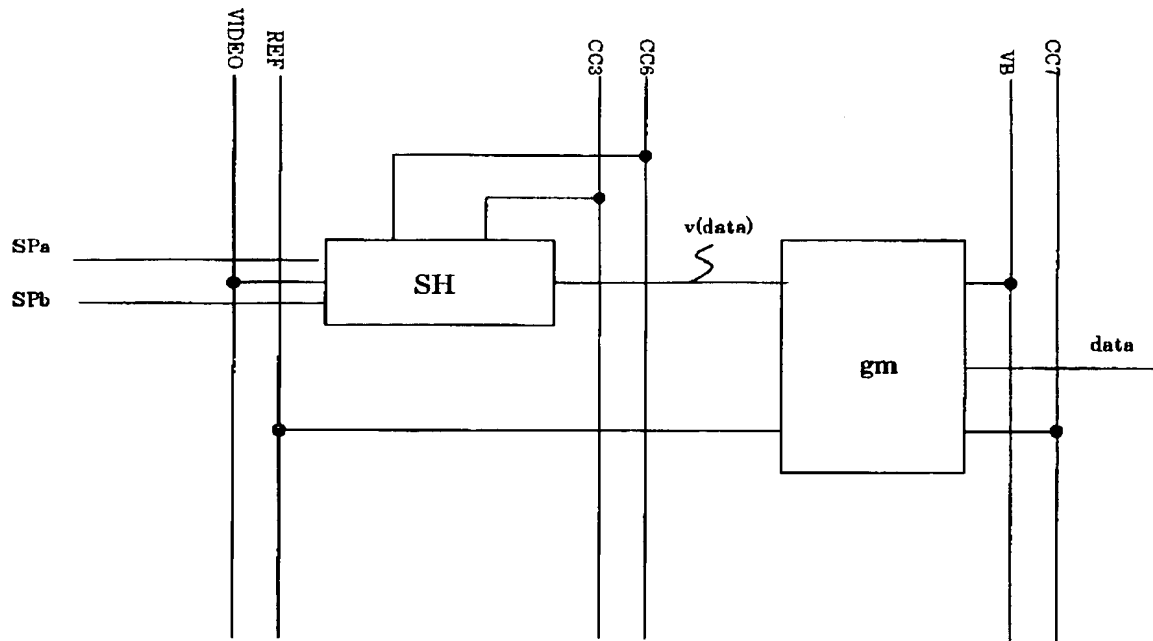
【図 9】



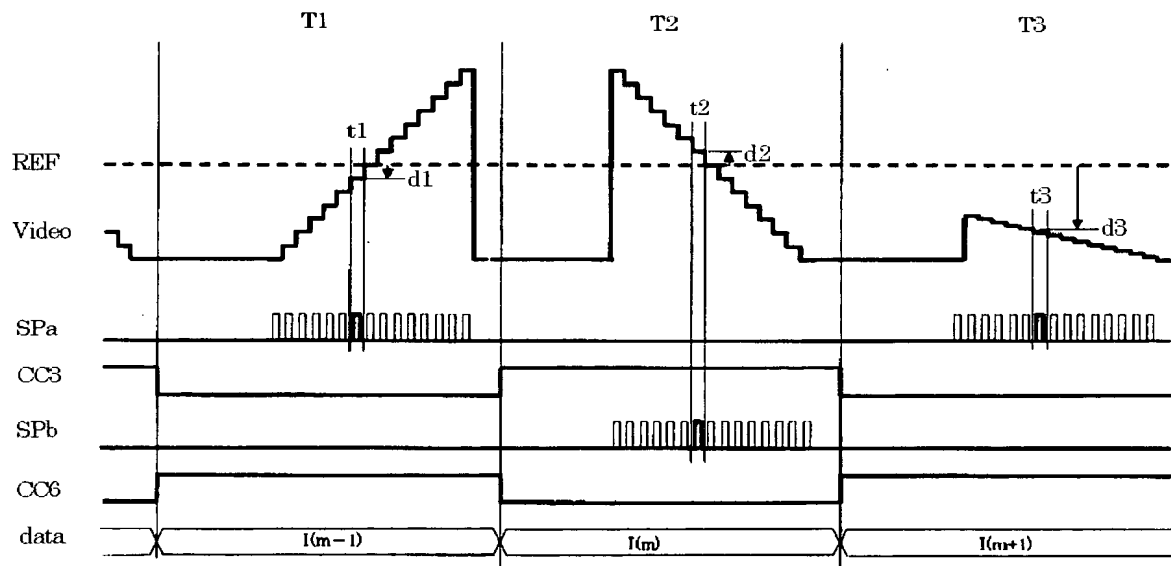
【図 10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 E L パネルにおいて電圧電流変換動作を行う列制御部の電圧電流変換特性を任意の列領域で検出でき、更には画素部の電極に対して非接触で各行の画素部の任意の列領域における動作特性を確認することができる E L パネルを提供すること。

【解決手段】 E L 素子を含む画素部 8 が行列状に複数配置された画像表示部 9 と、電圧電流変換回路が画素部 8 の列数に相当して配置され、該当列の画素部 8 に電流信号を供給する列制御部 5 とを少なくとも含む E L パネルにおいて、電圧電流変換回路と該当列の画素部 8 とを接続する列情報線 d a t a からなる列情報線群に流れる電流の総和電流を外部に出力するための総和電流出力部と、該総和電流出力部の画像表示部側の列情報線に流れる電流を遮断するための遮断部とからなる総和電流検出部 1 を備えたことを特徴とする E L パネル。

【選択図】 図 1

特願 2 0 0 3 - 0 6 1 2 8 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社